

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-200878

(43)Date of publication of application : 18.07.2000

(51)Int.CI. H01L 27/08
H01L 21/762
H01L 27/108
H01L 21/8242

(21)Application number : 10-374881

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.12.1998

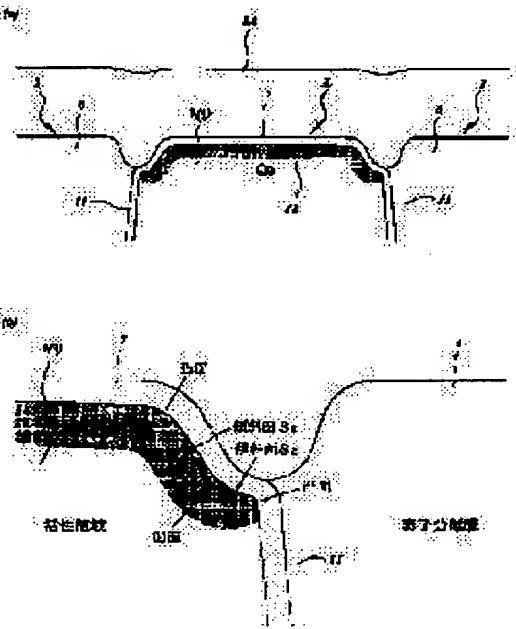
(72)Inventor : KANEMITSU KENJI
WATABE KOZO
SUZUKI NORIO
ISHIZUKA NORIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To optimize an element isolating groove so as to accelerate the micronization of a MISFET(Metal Insulator Semiconductor Field Effect Transistor).

SOLUTION: The surface of an active region L surrounded with an element isolation groove 2 on a substrate is flat and horizontal at the center of the region L, but the shoulder of the active region is a slope that declines downward to the side wall of the element isolation groove 2. The slope comprises two slopes S1 and S2 which are different from one another in an angle of inclination. The first slope S1 close to the center of the active region L is comparatively sharp, and the second slope S2 close to the side wall of the element isolation groove 2 is gentler than the first slope S1. The surface of the substrate at the shoulder of the active region L is rounded as a whole, and an angular region is not present.



LEGAL STATUS

[Date of request for examination] 07.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

引用例 2 の写し

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-200878
(P2000-200878A)

(43) 公開日 平成12年7月18日 (2000.7.18)

(51) Int.Cl.	識別記号	FI	マーク(参考)
H 01 L 27/08	3 3 1	H 01 L 27/08	3 3 1 A 5 F 0 3 2
21/762		21/76	D 5 F 0 4 8
27/108		27/10	6 2 1 Z 5 F 0 8 3
21/8242			6 8 1 D
			6 8 1 F

審査請求 未請求 請求項の数23 O.L (全 23 頁)

(21) 出願番号 特願平10-374881
(22) 出願日 平成10年12月28日 (1998.12.28)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 金光 寧司
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内
(72) 発明者 渡部 浩三
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内
(74) 代理人 100080001
弁理士 筒井 大和

最終頁に続く

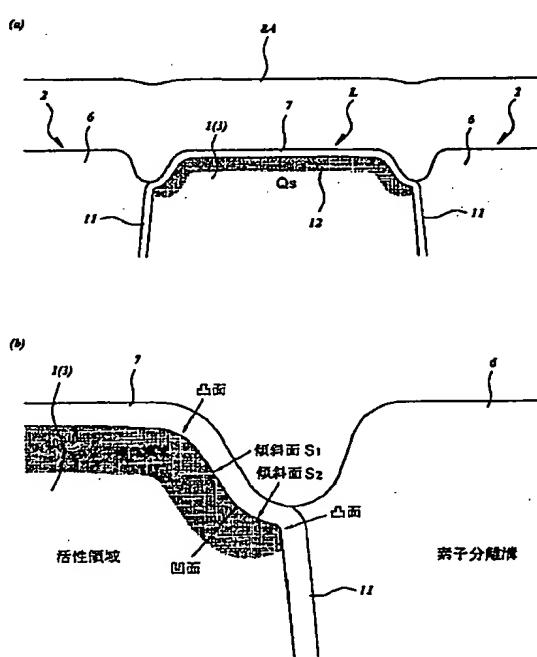
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 素子分離溝の形状を最適化してMISFETの微細化を推進する。

【解決手段】 素子分離溝2に囲まれた活性領域Lの基板1の表面は、活性領域Lの中央部では平坦な水平面となっているが、活性領域Lの肩部では、素子分離溝2の側壁に向かって下降する傾斜面となっている。この傾斜面は、傾斜角度の異なる2つの傾斜面(S₁、S₂)を含んでいる。活性領域Lの中央部に近い第1の傾斜面(S₁)は、比較的急峻な傾斜面であり、素子分離溝2の側壁に近い第2の傾斜面(S₂)は、第1の傾斜面(S₁)よりも緩やかな傾斜面である。また、上記活性領域Lの肩部における基板1の表面は、全体的に丸みが付けられており、角張った領域が存在しない。

図 4



【特許請求の範囲】

【請求項1】 素子分離溝によって周囲を規定された活性領域の基板にM I S F E Tが形成された半導体集積回路装置であって、前記活性領域の周辺部における前記基板の表面には、前記素子分離溝の側壁に向かって下降する傾斜面が形成され、前記傾斜面は、前記活性領域の中央部側に位置する第1の傾斜面、および前記第1の傾斜面と前記素子分離溝の側壁との間に位置し、前記第1の傾斜面よりも緩やかに傾斜する第2の傾斜面を含んでいることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記素子分離溝に埋め込まれた絶縁膜の表面は、前記活性領域の近傍において下方に後退していることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、前記活性領域の基板上に形成されたゲート絶縁膜の端部は、前記第2の傾斜面の下端まで延在していることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置であって、前記活性領域の基板表面近傍に形成されるチャネルの端部は、前記第2の傾斜面の下端まで延在していることを特徴とする半導体集積回路装置。

【請求項5】 請求項1記載の半導体集積回路装置であって、前記チャネルが形成される領域の前記基板に導入された不純物の濃度は、前記活性領域の中央部と前記第1および第2の傾斜面とではほぼ等しいことを特徴とする半導体集積回路装置。

【請求項6】 請求項1記載の半導体集積回路装置であって、前記活性領域の中央部と前記第1の傾斜面との境界部における前記半導体基板の表面、および前記第2の傾斜面と前記素子分離溝の側壁との境界部における前記半導体基板の表面にはそれぞれ凸状の丸みが形成され、前記第1の傾斜面と前記第2の傾斜面との境界部における前記半導体基板の表面には凹状の丸みが形成されていることを特徴とする半導体集積回路装置。

【請求項7】 基板の正面の素子分離溝によって周囲を規定された活性領域にM I S F E Tが形成された半導体集積回路装置であって、前記素子分離溝の肩部における前記基板の表面は、角が丸められた第1および第2の凸面と、前記第1および第2の凸面の間に位置し、角が丸められた凹面とからなり、前記素子分離溝に埋め込まれた絶縁膜の表面は、前記活性領域の近傍において下方に後退していることを特徴とする半導体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置であって、前記素子分離溝の肩部における前記基板上に形成されたゲート絶縁膜の膜厚は、前記活性領域の中央部における前記基板上に形成されたゲート絶縁膜の膜厚とはほぼ等しいことを特徴とする半導体集積回路装置。

【請求項9】 請求項7記載の半導体集積回路装置であって、前記活性領域に形成された前記M I S F E Tは、

表面チャネル型であることを特徴とする半導体集積回路装置。

【請求項10】 請求項7記載の半導体集積回路装置であって、前記活性領域に形成された前記M I S F E Tは、D R A Mのメモリセルの一部を構成するメモリセル選択用M I S F E Tであり、前記メモリセル選択用M I S F E Tには、前記D R A Mのメモリセルの他の一部を構成する容量素子が直列に接続されていることを特徴とする半導体集積回路装置。

【請求項11】 請求項7記載の半導体集積回路装置であって、前記活性領域のゲート幅方向の寸法は、0.2 μm以下であることを特徴とする半導体集積回路装置。

【請求項12】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法：

(a) 単結晶シリコンからなる基板を熱酸化することによって、前記基板の表面に第1の酸化シリコン膜を形成した後、前記第1の酸化シリコン膜上に耐酸化膜を形成し、次いで、素子分離領域の前記耐酸化膜および前記第1の酸化シリコン膜をエッチングすることによって、前記基板の表面を選択的に露出させる工程、(b) 前記基板を熱酸化することによって、前記(a)工程で露出させた前記基板の表面に、前記第1の酸化シリコン膜よりも厚い膜厚を有する第2の酸化シリコン膜を形成する工程、(c) 前記第2の酸化シリコン膜をエッチングすることによって、前記素子分離領域の前記基板の表面を露出させる工程、(d) 前記(c)工程で露出させた前記基板をエッチングすることによって、前記素子分離領域の前記基板に溝を形成した後、前記基板を熱酸化することによって、前記溝の内壁に第3の酸化シリコン膜を形成する工程、(e) 前記溝の内部を含む前記耐酸化膜上に第4の酸化シリコン膜を形成した後、前記耐酸化膜をストップに用いて前記第4の酸化シリコン膜を研磨することによって、前記素子分離領域の前記基板に前記第4の酸化シリコン膜が埋め込まれた素子分離溝を形成する工程、(f) 前記耐酸化膜を除去した後、M I S F E Tのしきい値電圧を制御するための不純物を前記基板に導入する工程、(g) 前記基板をエッチングしてその表面を露出させた後、前記基板の表面にゲート絶縁膜を形成し、さらに前記ゲート絶縁膜上にM I S F E Tのゲート電極を形成する工程。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法であって、前記(a)工程で前記基板の表面を露出させる際、前記基板をオーバーエッチングすることを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項12記載の半導体集積回路装置の製造方法であって、前記(a)工程の後、前記(b)工程に先立って、前記基板の表面を等方的にエッチングすることによって、前記第1の酸化シリコン膜の端部を前記塗化シリコン膜の端部よりも内側へ後退させる工程をさらに含むことを特徴とする半導体集積回路装置の製

造方法。

【請求項15】 請求項12記載の半導体集積回路装置の製造方法であって、前記(e)工程の後またはその途中で、前記基板を熱処理することによって、前記溝に埋め込まれた前記第4の酸化シリコン膜を焼き締める工程をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項12記載の半導体集積回路装置の製造方法であって、前記(e)工程は、前記溝の内部を含む前記耐酸化膜上に前記第4の酸化シリコン膜を形成した後、フォトレジスト膜をマスクにしたエッチングで前記耐酸化膜の上部の前記第4の酸化シリコン膜を除去する工程と、前記フォトレジスト膜を除去した後、前記耐酸化膜をストップに用いて前記溝の上部の前記第4の酸化シリコン膜を研磨する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項12記載の半導体集積回路装置の製造方法であって、前記(g)工程で前記基板をエッチングする際、前記素子分離溝に埋め込まれた前記第4の酸化シリコン膜の表面を等方的にエッチングすることによって、前記素子分離溝の周辺部の前記第4の酸化シリコン膜の表面を下方に後退させることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項12記載の半導体集積回路装置の製造方法であって、前記(g)工程の後またはその途中で、ウエル形成のための不純物を前記基板に導入する工程をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項12記載の半導体集積回路装置の製造方法であって、前記(d)工程で前記素子分離領域の前記基板に前記溝を形成する際、前記溝の肩部も同時にエッチングすることを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項12記載の半導体集積回路装置の製造方法であって、前記(d)工程で前記基板を熱酸化する際、前記溝の肩部に丸みを付けることを特徴とする半導体集積回路装置の製造方法。

【請求項21】 素子分離溝によって周囲を囲まれた活性領域の半導体基板上に、第1の方向に所定の幅を有し、かつ前記第1の方向と直交する第2の方向において、前記活性領域を横切るように、ゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板に形成されたソース、ドレインとを備えたMISFETを有する半導体集積回路装置であって、

(a) 前記半導体基板の表面において、第1の面と、第2の面と、前記第1および第2の面の間に位置する第3の面とを有し、前記第2の面が前記素子分離溝の側壁を構成する前記活性領域と、(b) 前記素子分離溝内に形成された第1絶縁膜と、(c) 前記第1および第3の面上に形成された前記ゲート絶縁膜と、(d) 前記ゲート絶縁膜上に形成され、前記活性領域を横切って前記素子分離溝内の前記第1絶縁膜上に延在するゲート電極と、

【請求項22】 請求項21記載の半導体集積回路装置であって、前記第3の面に対する接線が前記第1の面に対してなす角度は、徐々に増加した後、徐々に減少することを特徴とする半導体集積回路装置。

【請求項23】 素子分離溝によって周囲を囲まれた活性領域の半導体基板上に、第1の方向に所定の幅を有し、かつ前記第1の方向と直交する第2の方向において、前記活性領域を横切るように、ゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板に形成されたソース、ドレインとを備えたMISFETを有する半導体集積回路装置であって、

(a) 前記半導体基板の表面において、第1の面と、第2の面と、前記第1および第2の面の間に位置する第3の面とを有し、前記第2の面が前記素子分離溝の側壁を構成する前記活性領域と、(b) 前記素子分離溝内に形成された第1絶縁膜と、(c) 前記第1および第3の面上に形成された前記ゲート絶縁膜と、(d) 前記ゲート絶縁膜上に形成され、前記活性領域を横切って前記素子分離溝内の前記第1絶縁膜上に延在するゲート電極と、(e) 前記第1および第3の面において、前記活性領域の表面に形成され、前記半導体基板の深さ方向に所定の幅を有する半導体領域とを有し、前記第2の面における前記半導体領域の下端は、前記第2の面における前記ゲート電極の下端よりも下方に位置することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、微細なMISFET(Metal Insulator Semiconductor Field Effect Transistor)を形成するための素子分離構造およびその形成プロセスに適用して有効な技術に関する。

【0002】

【従来の技術】LSI製造プロセスにおける素子分離技術として、選択酸化(Local Oxidation of Silicon; LOCOS)法が広く用いられてきたが、半導体素子の微細化に伴って新たな素子分離技術の導入が進められている。

【0003】シリコン基板に形成した溝の内部に酸化シリコン膜などの絶縁膜を埋め込んだ素子分離溝(Shallow Groove Isolation; SG I)は、(a) 素子分離間隔を縮小することができる、(b) 素子分離膜厚の制御が容易で、フィールド反転電圧の設定が容易である、(c) 溝の内部の側壁と底部とで不純物を打ち分けるこ

とによって、反転防止層を拡散層やチャネル領域から分離できるので、サブスレッショルド特性の確保、接合リード、バックゲート効果の低減に対しても有利であるなど、選択酸化法に比べて優れた特長を備えている。

【0004】上記素子分離溝の一般的な形成方法は、次の通りである。まず、シリコン基板を熱酸化してその表面に薄い酸化シリコン膜を形成し、さらにその上部にCVD(Chemical Vapor Deposition)法で窒化シリコン膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングで素子分離領域の窒化シリコン膜を除去する。次に、上記フォトレジスト膜を除去し、窒化シリコン膜をマスクにしたドライエッチングで基板に350nm～400nm程度の深さの溝を形成した後、基板を熱酸化することによって、溝の内壁に薄い酸化シリコン膜を形成する。この酸化シリコン膜は、溝の内壁に生じたエッチングダメージの除去と、後の工程で溝の内部に埋め込まれる酸化シリコン膜のストレス緩和を目的として形成される。

【0005】次に、溝の内部を含む基板上にCVD法で厚い酸化シリコン膜を堆積した後、基板を熱処理し、溝の内部に埋め込んだ酸化シリコン膜を緻密に焼締め(デンシファイ)する。続いて、化学的機械研磨(Chemical Mechanical Polishing; CMP)法で窒化シリコン膜の上部の酸化シリコン膜を除去し、溝の内部のみに酸化シリコン膜を残した後、不要となった窒化シリコン膜をエッチングで除去することにより、素子分離溝が完成する。

【0006】ところで、上記のような素子分離構造においては、活性領域の基板表面に形成するゲート酸化膜が活性領域の端部(肩部)で局所的に薄くなり、この肩部にゲート電圧の電界が集中する結果、低いゲート電圧でもドレイン電流が流れてしまう現象(キンク特性あるいはハンプ特性などと呼ばれる)が生じることが知られており、これを解決する対策として、活性領域の肩部に丸みを付ける技術などが提案されている。

【0007】例えば、特開昭63-2371号公報は、上記のような素子分離溝によって囲まれた基板の活性領域にチャネル幅が1μm以下の中細なMISFETを形成した場合、しきい値電圧(V_{th})が低下する、いわゆる狭チャネル効果が顕在化し、デバイスとして使用不可能になる問題を指摘している。これは、基板に溝を形成してその内部に絶縁膜を埋め込んだ素子分離構造では、活性領域の肩部が直角に近い尖った断面形状となるため、この領域にゲート電圧の電界が集中し、低いゲート電圧でもチャネルが形成されてしまうからである。

【0008】上記公報は、このような狭チャネル効果を抑制するために、基板に溝を形成した後、950°Cのウェット酸化を行なって活性領域の肩部に曲率(丸み)を持たせると共に、活性領域の肩部のゲート酸化膜を厚くすることによって、しきい値電圧の低下を防ぐ技術を開

示している。

【0009】また、特開平2-260660号公報も、上記したキンク(ハンプ)特性の発生を防ぐために、活性領域の肩部に丸みを付け、この領域にゲート電圧の電界が集中するのを抑制する技術を開示している。この公報においては、概略次のような方法によって活性領域の肩部に丸みを付けている。

【0010】まず、半導体基板の素子形成領域を酸化膜と耐酸化性膜の積層膜からなるマスクで覆い、この状態で基板を熱酸化することによって、素子分離領域の基板面にその一端が素子形成領域に食い込むように酸化膜を形成する。次に、上記耐酸化性膜をマスクにしたウェットエッチングによって、素子分離領域の上記酸化膜を除去し、続いて上記耐酸化性膜をマスクにした反応性イオンエッチングによって、素子分離領域の基板に溝を形成した後、基板を熱酸化することによって、上記溝の内壁面に熱酸化膜を形成し、併せて溝の肩部に丸みを付ける。

【0011】

【発明が解決しようとする課題】図30は、活性領域の肩部近傍の拡大図である。図の左側部分は活性領域の基板を示し、その表面にはゲート酸化膜60が形成されている。また、図の左側部分は素子分離溝を示し、その内部には酸化シリコン膜61が埋め込まれている。さらに、活性領域および素子分離溝の上部には、図の左右方向に延在するゲート電極62が形成されている。

【0012】図示のように、基板に形成した溝の内部に酸化シリコン膜61を埋め込んで形成した素子分離溝においては、酸化シリコン膜61の表面が活性領域の近傍で下方に後退(リセス)するという特徴がある。これは、活性領域の基板上に形成した窒化シリコン膜をマスクにしたエッチングで基板に溝を形成し、次いでこの溝の内部に酸化シリコン膜61を埋め込んでその表面を平坦化した後、不要となった窒化シリコン膜をエッチングで除去すると、活性領域の基板表面と溝に埋め込まれた酸化シリコン膜61の表面との間に窒化シリコン膜の膜厚に相当する段差が発生する。そこで、この段差を低減するために、酸化シリコン膜61の表面をフッ酸でウェットエッチングすると、窒化シリコン膜と接していた箇所、すなわち活性領域の近傍の酸化シリコン膜61は、その上面だけでなく側面もフッ酸に晒されるので、活性領域から離れた領域の酸化シリコン膜61に比べて被エッチング量が多くなるからである。

【0013】このように、活性領域の近傍の酸化シリコン膜61が下方に後退(リセス)すると、活性領域の肩部の基板表面に形成されるゲート酸化膜60の端部が素子分離溝の側壁の一部にまで達するようになる。ところが、素子分離溝の側壁にはチャネル形成用の不純物が打ち込まれ難いため、この領域の不純物濃度は活性領域の平坦部の不純物濃度よりも低下する。その結果、ゲート

電極に電圧を印加したときに、活性領域の平坦部にチャネルが形成されるよりも先に活性領域の肩部にサブチャネルが形成されてしまうので、しきい値電圧が低下すると考えられる。特に、MISFETの微細化に伴ってゲート幅が小さくなると、サブチャネルの影響が顕著になり、しきい値電圧の低下量が大きくなる。このような現象は、n型の多結晶シリコンでゲート電極を形成する表面チャネル型MISFETで特に深刻な問題となる。

【0014】上記のようなしきい値電圧の低下を防ぐ対策として、チャネル形成用の不純物のドーズ量を増やし、活性領域の肩部における不純物濃度の低下を補償することも考えられる。しかし、この方法では基板の不純物濃度が高くなるために、例えばDRAM(Dynamic Random Access Memory)の場合には、蓄積ノードの半導体領域近傍における電界強度が大きくなり、リーク電流の増大によるリフレッシュ特性の低下や、ビット線の寄生容量の増大といった問題を引き起こす。

【0015】このように、素子分離溝によって囲まれた基板の活性領域に微細なMISFETを形成しようとする場合は、単に活性領域の肩部を丸くするだけの対策では、しきい値電圧の低下を防ぐことはできず、上記したような活性領域の肩部におけるサブチャネルの形成を抑制する対策が不可欠である。

【0016】本発明の目的は、素子分離溝の形状を最適化してMISFETの微細化を推進する技術を提供することにある。

【0017】本発明の他の目的は、微細化されたDRAMのリフレッシュ特性を向上させる技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】(1) 本発明の半導体集積回路装置は、素子分離溝によって周囲を規定された活性領域の基板にMISFETが形成され、前記活性領域の周辺部における前記基板の表面には、前記素子分離溝の側壁に向かって下降する傾斜面が形成され、前記傾斜面は、前記活性領域の中央部側に位置する第1の傾斜面、および前記第1の傾斜面と前記素子分離溝の側壁との間に位置し、前記第1の傾斜面よりも緩やかに傾斜する第2の傾斜面を含んでいる。

【0021】(2) 本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

【0022】(a) 単結晶シリコンからなる基板を熱酸化することによって、前記基板の表面に第1の酸化シリコン膜を形成した後、前記第1の酸化シリコン膜上に耐

酸化膜を形成し、次いで、素子分離領域の前記耐酸化膜および前記第1の酸化シリコン膜をエッチングすることによって、前記基板の表面を選択的に露出させる工程、

(b) 前記基板を熱酸化することによって、前記(a)工程で露出させた前記基板の表面に、前記第1の酸化シリコン膜よりも厚い膜厚を有する第2の酸化シリコン膜を形成する工程、(c) 前記第2の酸化シリコン膜をエッチングすることによって、前記素子分離領域の前記基板の表面を露出させる工程、(d) 前記(c)工程で露出させた前記基板をエッチングすることによって、前記素子分離領域の前記基板に溝を形成した後、前記基板を熱酸化することによって、前記溝の内壁に第3の酸化シリコン膜を形成する工程、(e) 前記溝の内部を含む前記耐酸化膜上に第4の酸化シリコン膜を形成した後、前記耐酸化膜をストップ用いて前記第4の酸化シリコン膜を研磨することによって、前記素子分離領域の前記基板に前記第4の酸化シリコン膜が埋め込まれた素子分離溝を形成する工程、(f) 前記耐酸化膜を除去した後、MISFETのしきい値電圧を制御するための不純物を前記基板に導入する工程、(g) 前記基板をエッチングしてその表面を露出させた後、前記基板の表面にゲート絶縁膜を形成し、さらに前記ゲート絶縁膜上にMISFETのゲート電極を形成する工程。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0024】図1は、製造工程の途中における基板の要部平面図、図2は、図1のA-A'線に沿った基板の断面図、図3は、同じくB-B'線に沿った基板の断面図である。

【0025】例えばp型の単結晶シリコンからなる基板1の正面に形成されたp型ウエル3には、素子分離溝2によって周囲を規定された活性領域Lが形成されている。活性領域Lは細長い島状の平面パターンを有し、その平面寸法は、例えば長辺方向が0.6μm、短辺方向が0.12μmである。これらの活性領域Lのそれぞれには、ソース、ドレインの一方を共有する2個のメモリセル選択用MISFETQsが形成されている。メモリセル選択用MISFETQsは、DRAMのメモリセルの一部を構成し、後の工程でその上部に形成される情報蓄積用容量素子Cと直列に接続される。

【0026】上記メモリセル選択用MISFETQsは、主としてゲート酸化膜7、ゲート電極8Aおよび一対のn型半導体領域10、10(ソース、ドレイン)によって構成されている。メモリセル選択用MISFETQsのゲート電極8Aは、ワード線WLと一体に構成され、図1の上下方向(第2方向)に沿って同一の線幅および同一の間隔で直線的に延在している。また、図1の

左右方向（第1方向）に沿ったゲート電極8A（ワード線WL）の線幅（ゲート長）および間隔は、フォトリソグラフィの解像限界で決まる最小寸法（例えば0.12μm）で構成されている。ゲート電極8Aは、例えばP（リン）などのn型不純物がドープされた低抵抗多結晶シリコン膜の上部にWN（窒化タンゲスタン）などのバリアメタル膜とW（タンゲスタン）膜とを積層したポリメタル構造で構成されている。また、ゲート電極8A（ワード線WL）の上部には、ゲート電極8A（ワード線WL）と同一の平面パターンを有する窒化シリコン膜9が形成されている。

【0027】図4(a)は、図1の上下方向（第2方向）に沿った活性領域Lおよびその近傍の素子分離溝2を拡大して示す図、図4(b)および図5は、図1の上下方向（第2方向）に沿った活性領域Lの肩部の近傍を拡大して示す図である。

【0028】活性領域Lを囲む素子分離溝2は、基板1(p型ウエル2)に形成した溝の内部に酸化シリコン膜6を埋め込んだ構成になっている。この素子分離溝2の内壁と酸化シリコン膜6との界面には、酸化シリコン膜6と基板1との間に生じるストレスを緩和するための薄い酸化シリコン膜11が形成されている。素子分離溝2に埋め込まれた上記酸化シリコン膜6の表面（上面）は、活性領域Lの基板1の表面（ゲート酸化膜7）とほぼ同じ高さになっているが、活性領域Lの近傍では下方（基板1側）に後退（リセス）している。

【0029】一方、上記素子分離溝2に囲まれた活性領域Lの基板1の表面は、活性領域Lの中央部では平坦な水平面となっているが、活性領域Lの肩部では、素子分離溝2の側壁に向かって下降する傾斜面となっている。図4(b)に示すように、この傾斜面は、傾斜角度の異なる2つの傾斜面(S₁、S₂)を含んでいる。活性領域Lの中央部に近い第1の傾斜面(S₁)は、比較的急峻な傾斜面であり、素子分離溝2の側壁に近い第2の傾斜面(S₂)は、第1の傾斜面(S₁)よりも緩やかな傾斜面である。

【0030】また、上記活性領域Lの肩部における基板1の表面は、全体的に丸みが付けられており、角張った領域が存在しない。活性領域Lの肩部には前述した傾斜角度の異なる2つの傾斜面(S₁、S₂)が形成されているので、活性領域Lの水平に近い平坦面と第1の傾斜面(S₁)との境界部、および素子分離溝2の側壁と第2の傾斜面(S₂)との境界部は、いずれも角が丸められた凸面になっている。また、急峻な第1の傾斜面(S₁)と緩やかな第2の傾斜面(S₂)との境界部は、角が丸められた凹面になっている。すなわち、図5に示すように、活性領域Lの肩部に対する接線が活性領域Lの水平な平坦面に対してなす角度(θ)は、活性領域L側（図の左側）から素子分離溝2側（図の右側）に向かって徐々に増加(θ_A < θ_B)した後、徐々に減少(θ_B

>θ_C)し、素子分離溝2の側壁に達する手前で再び増加する(θ_C < θ_D)ように変化する。

【0031】上記活性領域Lの基板1表面には、メモリセル選択用MISFETQsのゲート酸化膜7が形成され、さらにその上部にはゲート電極8Aが形成されている。前記のように、素子分離溝2に埋め込まれた酸化シリコン膜6の表面は活性領域Lの近傍で下方に後退（リセス）し、活性領域Lの肩部を覆っていないので、ゲート酸化膜7は活性領域Lの肩部にも形成され、その端部は前記第2の傾斜面(S₂)の下端まで延在している。また、活性領域Lの肩部における基板1の表面は、全体的に丸みが付けられており、角張った領域が存在しないので、活性領域Lの肩部におけるゲート酸化膜7の膜厚は、活性領域の中央部におけるゲート酸化膜7の膜厚とほぼ等しくなっている。

【0032】ゲート酸化膜7の下部の基板1(p型ウエル3)の表面近傍には、ゲート電極8Aに所定の電圧を印加したときにソース、ドレイン間に流れる電流の通路となるチャネルを構成するp型半導体領域12が形成されている。このp型半導体領域12には、メモリセル選択用MISFETQsのしきい値電圧(V_{th})を調整するためのp型不純物（ホウ素）がドープされている。すなわち、メモリセル選択用MISFETQsは、表面チャネル型で構成されている。基板1(p型ウエル3)の表面近傍に形成されたp型半導体領域12の端部は、活性領域Lの肩部に形成された前記第2の傾斜面(S₂)の下端まで延在し、第2の傾斜面(S₂)におけるゲート電極8Aの下端よりも下方に位置している。後述するように、このp型半導体領域12に導入された不純物（ホウ素）の濃度は、活性領域の中央部と活性領域Lの肩部とでほぼ等しくなっている。

【0033】次に、上記DRAMの製造方法を図6～図29を用いて説明する。なお、図6～図19、図21および図23～図29のそれぞれの左側部分は、DRAMのメモアレイの一部を示し、右側部分は、DRAMの周辺回路の一部を示している。

【0034】まず、図6に示すように、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンからなる基板1を約850°Cで熱酸化してその表面に膜厚10nm程度の薄い酸化シリコン膜（第1の酸化シリコン膜）40を形成した後、酸化シリコン膜40の上部にCVD法で膜厚120nm程度の窒化シリコン膜（耐酸化膜）41を堆積する。窒化シリコン膜41は、素子分離領域の基板1をエッチングして溝を形成する際のマスクとして使用する。また、窒化シリコン膜41は、酸化されにくい性質を持つので、その下部の基板1の表面が酸化されるのを防ぐマスクとしても使用される。窒化シリコン膜41の下部の酸化シリコン膜40は、基板1と窒化シリコン膜41との界面に生じるストレスを緩和し、このストレスに起因して基板1の表面に転位などの欠陥が発生

するのを防ぐために形成する。

【0035】次に、図7に示すように、フォトレジスト膜PR1をマスクにしたドライエッティングで素子分離領域の塗化シリコン膜41とその下部の酸化シリコン膜40とを選択的に除去することによって、基板1の表面を露出させる。このとき、露出した基板1の表面に酸化シリコン膜40が僅かでも残っていると異物発生の原因となるので、基板1をオーバーエッティングして酸化シリコン膜40を完全に除去する。また、このオーバーエッティングを行ない、素子分離領域の基板1を後退させることによって、後の工程で形成される活性領域Lの肩部に傾斜面ができ易くなる。基板1のオーバーエッティング量は、10~30nm程度あればよい。

【0036】次に、フォトレジスト膜PR1をアッシングで除去した後、周知のSC-1液(アンモニア水/過酸化水素水の混合液)およびSC-2液(塩酸/過酸化水素水の混合液)を使った洗浄によって、基板1の表面に残った異物を除去し、さらにフッ酸を使った洗浄によって、基板1の表面の自然酸化膜を除去する。この洗浄を行なうと、酸化膜が等方的に浅くエッティングされるので、図8に示すように、塗化シリコン膜41の端部下に露出した酸化シリコン膜40も浅くエッティングされ、その端部が塗化シリコン膜41の端部から内側(活性領域L側)へ後退する。これにより、後の工程で形成される活性領域Lの肩部に傾斜面ができ易くなる。なお、この後退量が大きいと、塗化シリコン膜3と酸化シリコン膜2との接触面積が減少し、両者の界面で剥離が生じ易くなるので注意を要する。酸化シリコン膜40の後退量は、その膜厚に相当する量(例えば10nm程度)を大きく超えないようにすることが望ましい。

【0037】次に、図9に示すように、基板1を約800~1000°Cで熱酸化することによって、素子分離領域の基板1の表面に酸化シリコン膜40よりも厚い膜厚(例えば20~65nm程度)の酸化シリコン膜(第2の酸化シリコン膜)42を形成する。この熱酸化処理を行なうことにより、塗化シリコン膜41の端部から内側(活性領域L側)へ向かって酸化シリコン膜42のバズビーグ(bird's beak)が伸びる。

【0038】次に、図10に示すように、基板1の表面に形成された上記酸化シリコン膜42をフッ酸を使ったウェットエッティングで除去することにより、素子分離領域の基板1の表面を再び露出させる。ここまで工程により、後の工程で形成される活性領域Lの肩部の基板1表面に傾斜面ができる。なお、上記酸化シリコン膜42はドライエッティングで除去してもよく、あるいはウェットエッティングとドライエッティングとを併用して除去してもよい。

【0039】次に、図11に示すように、塗化シリコン膜41をマスクにしたドライエッティングで素子分離領域の基板1に深さ350~400nm程度の溝2aを形成す

る。このとき、活性領域Lの肩部もエッティングされるため、傾斜面の途中が後退して凹面が形成される。また、この溝2aを形成する際には、基板1をエッティングするガス(例えばCF₄+O₂)の組成を調節することによって、その側壁に80°程度のテープを設ける。溝2aの側壁にテープを設けることにより、後の工程で堆積される酸化シリコン膜(6)が溝2aの内部に埋め込まれ易くなる。

【0040】次に、前記SC-1液、SC-2液および希フッ酸を使った洗浄によって、溝2aの内壁に付着したエッティング残渣を除去した後、図12に示すように、基板1を約800~1000°Cで熱酸化することによって、溝2aの内壁に膜厚10nm程度の薄い酸化シリコン膜(第3の酸化シリコン膜)11を形成する。この酸化シリコン膜11は、溝2aの内壁に生じたドライエッティングのダメージを回復すると共に、後の工程で溝2aの内部に埋め込まれる酸化シリコン膜6と基板1との界面に生じるストレスを緩和するために形成する。また、この熱酸化処理を行なうことにより、活性領域Lの肩部の基板1表面が丸められ、前記図4(a)、図4(b)に示した形状に類似した形状となる。

【0041】次に、図13に示すように、溝2aの内部を含む基板1上にCVD法で酸化シリコン膜(第4の酸化シリコン膜)6を堆積する。この酸化シリコン膜6は、溝2aの深さよりも厚い膜厚(例えば450~500nm程度)で堆積し、溝2aの内部が酸化シリコン膜6で完全に埋め込まれるようにする。酸化シリコン膜6は、例えば酸素とテトラエトキシシラン((C₂H₅)₄Si)とを使って成膜される酸化シリコン膜のように、ステップカバレージのよい成膜方法で形成する。なお、この酸化シリコン膜6を堆積する工程に先立って、溝2aの内壁にCVD法で塗化シリコン膜(図示せず)を薄く堆積してもよい。この塗化シリコン膜は、溝2aに埋め込んだ酸化シリコン膜6をデンシファイ(焼き締め)する際に、溝2aの内壁の薄い酸化シリコン膜11が活性領域側に厚く成長するのを抑制する作用がある。

【0042】次に、基板1を約1000°Cで熱酸化し、溝2aに埋め込んだ酸化シリコン膜6の膜質を改善するためのデンシファイ(焼き締め)を行なった後、図14に示すように、フォトレジスト膜PR2をマスクにしたドライエッティングで塗化シリコン膜41の上部の酸化シリコン膜6を除去する。フォトレジスト膜PR2のパターンは、素子分離領域の塗化シリコン膜41をドライエッティングするときに使用したフォトレジスト膜PR1の反転パターンとする。

【0043】次に、フォトレジスト膜PR2を除去した後、図15に示すように、化学的機械研磨(CMP)法を用いて溝2aの上部の酸化シリコン膜6を研磨し、その表面を平坦化する。この研磨は、活性領域Lの基板1表面を覆っている塗化シリコン膜41をストップに用い

て行ない、酸化シリコン膜6の表面の高さが塗化シリコン膜4 1のそれと同じになった時点を終点とする。

【0044】上記酸化シリコン膜6の研磨は、フォトレジスト膜PR 2を使用しないで行なうこともできる。すなわち、溝2 aの内部を含む基板1上に酸化シリコン膜6を堆積し、続いて基板1を熱酸化して酸化シリコン膜6をデンシファイした後、塗化シリコン膜4 1をストップに用いた化学的機械研磨法で酸化シリコン膜6を研磨してもよい。また、酸化シリコン膜6のデンシファイは、化学的機械研磨法で酸化シリコン膜6を研磨し、溝2 aの内部のみに残した後に行なうこともできる。この場合は、酸化シリコン膜6の膜厚が薄くなつてからデンシファイを行なうので、研磨の前にデンシファイを行う場合に比べてデンシファイ時間を短縮することができる。ここまで工程により、酸化シリコン膜6が埋め込まれた素子分離溝2が略完成する。

【0045】次に、活性領域Lの基板1表面を覆っている塗化シリコン膜4 1を熱リソ酸で除去し、その下部の酸化シリコン膜4 0を露出させる。塗化シリコン膜4 1を除去すると、図16に示すように、活性領域Lの基板1表面に形成された酸化シリコン膜4 0の表面と素子分離溝2に埋め込まれた酸化シリコン膜6の表面との間に塗化シリコン膜4 1の膜厚に相当する段差が発生する。

【0046】次に、図17に示すように、素子分離溝2に埋め込まれた酸化シリコン膜6の表面をフッ酸でウェットエッチングし、活性領域Lの基板1の表面との間に生じた段差を低減する。このとき、活性領域Lの基板1に形成されていた薄い酸化シリコン膜4 0もエッチングされ、基板1の表面が露出する。また、前記塗化シリコン膜4 1と接していた箇所の酸化シリコン膜6は、その上面だけでなく側面もフッ酸に晒されるので、活性領域Lから離れた領域の酸化シリコン膜6に比べて被エッチング量が多くなる。これにより、活性領域Lの肩部近傍の酸化シリコン膜6表面が内側に後退(リセス)し、活性領域Lの肩部の基板1表面が露出する。

【0047】次に、図18に示すように、基板1を約850°Cで熱酸化し、活性領域Lの基板1の表面に膜厚10nm程度の薄い酸化シリコン膜(第5の酸化シリコン膜)4 3を形成する。この酸化シリコン膜4 3は、次の工程で行なわれる不純物のイオン打ち込みによる基板1のダメージを低減するために形成する。

【0048】次に、図19に示すように、基板1にウエル(p型ウエル3、n型ウエル4、5)を形成するために、上記酸化シリコン膜4 3を通して基板1の一部にn型不純物(例えはリン)を打ち込み、他の一部にp型不純物(ホウ素)を打ち込む。また、基板1にチャネル領域1 2を形成するために、上記酸化シリコン膜4 3を通して基板1にp型不純物(ホウ素)を打ち込む。ウエル(p型ウエル3、n型ウエル4、5)を形成するための不純物は、高いエネルギーで基板1の深い領域に導入

し、チャネル領域1 2を形成するための不純物は、低いエネルギーで基板1の浅い領域に導入する。

【0049】これまでの工程で、活性領域Lの肩部の基板1表面には、前記図4(a)、図4(b)に示したような、角が丸められた凹面を挟む急峻な第1の傾斜面(S₁)と緩やかな第2の傾斜面(S₂)とが形成されている。そのため、図20に拡大して示すように、活性領域Lの肩部の急峻な第1の傾斜面(t₁)における酸化シリコン膜4 3の垂直方向に沿った膜厚(t₁)は、活性領域Lの中央部における酸化シリコン膜4 3の膜厚(t₀)よりも実効的に大きくなる。その結果、第1の傾斜面(t₁)では、酸化シリコン膜4 3を通じて基板1に導入されるチャネル形成用不純物の濃度が、活性領域Lの中央部の基板1に導入されるチャネル形成用不純物の濃度よりも低くなる。

【0050】一方、素子分離溝2の側壁に近い第2の傾斜面(S₂)は、傾斜が緩やかなため、この領域における酸化シリコン膜4 3の垂直方向に沿った膜厚(t₂)は、活性領域Lの中央部における酸化シリコン膜4 3の膜厚(t₀)と大差がない。従って、第2の傾斜面(S₂)では、酸化シリコン膜4 3を通じて基板1に導入されるチャネル形成用不純物の濃度は、第2の傾斜面(S₂)と活性領域Lの中央部とで大差がない。

【0051】次に、図21に示すように、基板1を約950°Cで熱処理して上記不純物を引き延ばし拡散させることにより、メモリアレイの基板1にp型ウエル3およびn型ウエル5を形成し、周辺回路の基板1にp型ウエル3およびn型ウエル4を形成する。メモリアレイの基板1の深い領域に形成されるn型ウエル5は、基板1を通じて周辺回路からメモリアレイのp型ウエル3にノイズが侵入するのを防ぐために形成される。

【0052】また、上記熱処理を行なうと、図22に拡大して示すように、メモリアレイの基板1(p型ウエル3)の表面近傍にはチャネルを構成するp型半導体領域1 2が形成される。このとき、活性領域Lの肩部近傍では、第1の傾斜面(S₁)の基板1よりも多くの不純物が導入された活性領域Lの中央部の基板1および第2の傾斜面(S₂)の基板1からそれぞれ第1の傾斜面(S₁)の基板1に不純物の一部が拡散する。これにより、p型半導体領域1 2の不純物濃度は、活性領域Lの中央部、第1の傾斜面(S₁)および第2の傾斜面(S₂)でほぼ等しくなる。なお、図示は省略するが、周辺回路の基板1(p型ウエル3)の表面近傍にも上記と同様のチャネル領域1 2が形成される。

【0053】このように、本実施の形態によれば、チャネルを構成するp型半導体領域1 2の不純物濃度を活性領域Lの全域でほぼ等しくすることができる。これにより、活性領域の肩部におけるサブチャネルの形成を抑制し、しきい値電圧の低下を抑制することができる。

【0054】次に、図23に示すように、フッ酸を用い

たウェットエッチングで基板1の表面の酸化シリコン膜43を除去した後、図24に示すように、基板1を約800~850°Cで熱酸化することによって、その表面に膜厚4nm程度の清浄なゲート酸化膜7を形成する。前述したように、ゲート酸化膜7は活性領域Lの肩部にも形成されるが、活性領域Lの肩部における基板1の表面は、全体的に丸みが付けられ、角張った領域が存在しないので、この領域におけるゲート酸化膜7の膜厚は、活性領域の中央部におけるゲート酸化膜7の膜厚とほぼ等しくなる。

【0055】次に、図25に示すように、上記ゲート酸化膜7の上部にゲート電極8A(ワード線WL)、8B、8Cを形成する。ゲート電極8A(ワード線WL)、8B、8Cは、例えばゲート酸化膜7上にリンをドープした多結晶シリコン膜をCVD法で堆積し、続いてその上部にスパッタリング法でWN膜およびW膜を堆積し、さらにその上部にCVD法で窒化シリコン膜9を堆積した後、フォトレジスト膜(図示せず)をマスクにしたエッチングでこれらの膜をパターニングすることによって形成する。

【0056】次に、図26に示すように、p型ウエル3にn型不純物(リンまたはヒ素)をイオン注入することによって、メモリアレイのp型ウエル3にメモリセル選択用MISFETQsのソース、ドレインを構成する。n型半導体領域12を形成し、周辺回路のp型ウエル3にn⁻型半導体領域14を形成する。また、周辺回路のn型ウエル4にp型不純物(ホウ素)をイオン注入することによって、p⁻型半導体領域15を形成する。ここまで工程により、DRAMのメモリセル選択用MISFETQsが略完成する。

【0057】次に、図27に示すように、基板1上にCVD法で膜厚50~100nm程度の窒化シリコン膜17を堆積した後、メモリアレイの窒化シリコン膜17をフォトレジスト膜(図示せず)で覆い、周辺回路の窒化シリコン膜17を異方的にエッチングすることによって、ゲート電極8B、8Cの側壁にサイドウォールスペーサ17cを形成する。

【0058】続いて、周辺回路のp型ウエル3にn型不純物(リン)をイオン注入することによって高不純物濃度のn⁺型半導体領域11(ソース、ドレイン)を形成し、周辺回路のn型ウエル4にp型不純物(ホウ素)をイオン注入することによって高不純物濃度のp⁺型半導体領域12(ソース、ドレイン)を形成する。ここまで工程により、LD_D(Lightly Doped Drain)構造のソース、ドレインを有する周辺回路のnチャネル型MISFETQnおよびpチャネル型MISFETQpが略完成する。

【0059】次に、図28に示すように、メモリセル選択用MISFETQsの上部にピット線BLを形成し、周辺回路のnチャネル型MISFETQn、pチャネル

型MISFETQpの上部に第1層配線30~34を形成する。

【0060】ピット線BLおよび第1層配線30~34を形成するには、まず、基板1上にCVD法で膜厚600nm程度の酸化シリコン膜20を堆積し、続いて酸化シリコン膜20をCMP法で研磨してその表面を平坦化した後、フォトレジスト膜(図示せず)をマスクにしてメモリセル選択用MISFETQsのソース、ドレイン(n型半導体領域10)の上部の酸化シリコン膜20および窒化シリコン膜17をドライエッチングすることによって、ソース、ドレイン(n型半導体領域10)の一方の上部にコンタクトホール22を形成し、他方の上部にコンタクトホール23を形成する。

【0061】次に、上記コンタクトホール22、23の内部にプラグ24を形成する。プラグ24を形成するには、コンタクトホール22、23の内部を含む酸化シリコン膜20の上部にn型不純物(リン)をドープした多結晶シリコン膜を堆積した後、この多結晶シリコン膜をエッチバックしてコンタクトホール22、23の内部のみに残す。

【0062】次に、上記酸化シリコン膜20の上部にCVD法で膜厚200nm程度の酸化シリコン膜25を堆積した後、フォトレジスト膜(図示せず)をマスクにしてメモリアレイの酸化シリコン膜25をドライエッチングすることにより、コンタクトホール22の上部にスルーホール27を形成する。続いて、フォトレジスト膜(図示せず)をマスクにして周辺回路の酸化シリコン膜25およびその下層の酸化シリコン膜20をドライエッチングすることにより、nチャネル型MISFETQnのソース、ドレイン(n⁺型半導体領域15)の上部にコンタクトホール35、36を形成し、周辺回路の酸化シリコン膜25、その下層の酸化シリコン膜20およびゲート電極8Cの上部の窒化シリコン層9をドライエッチングすることにより、pチャネル型MISFETQpのソース、ドレイン(p⁺型半導体領域12)の上部にコンタクトホール37、38を形成し、ゲート電極8Cの上部にコンタクトホール39を形成する。

【0063】次に、コンタクトホール35~39およびスルーホール27の内部にプラグ26を形成する。プラグ26を形成するには、コンタクトホール35~39の内部およびスルーホール27の内部を含む酸化シリコン膜25の上部にスパッタリング法でC_o膜(またはTi膜)を堆積し、さらにその上部にCVD法でTiN膜およびW膜を堆積した後、酸化シリコン膜25の上部のW膜、TiN膜およびC_o膜(またはTi膜)をCMP法で研磨し、これらの膜をコンタクトホール35~39およびスルーホール27の内部のみに残す。

【0064】次に、酸化シリコン膜25の上部にスパッタリング法で膜厚200nm程度のW膜を堆積した後、フォトレジスト膜(図示せず)をマスクにしてW膜をドラ

イエッティングすることにより、ビット線B₁および周辺回路の第1層配線30～34を形成する。

【0065】次に、図29に示すように、ビット線B₁の上部にメモリセルの情報蓄積用容量素子Cを形成する。

【0066】情報蓄積用容量素子Cを形成するには、まず、ビット線B₁および第1層配線30～34の上部にCVD法で膜厚300nm程度の酸化シリコン膜50を堆積し、続いて酸化シリコン膜50およびその下層の酸化シリコン膜25をドライエッティングすることにより、コンタクトホール23の上部にスルーホール55を形成する。

【0067】次に、上記スルーホール54の内部にプラグ55を形成した後、酸化シリコン膜50の上部にCVD法で膜厚100nm程度の窒化シリコン膜51を堆積し、続いてフォトレジスト膜(図示せず)をマスクにしたエッティングで周辺回路の窒化シリコン膜51を除去する。プラグ55を形成するには、スルーホール54の内部を含む酸化シリコン膜50の上部にn型不純物(リン)をドープした多結晶シリコン膜を堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール54の内部のみに残す。

【0068】次に、メモリアレイの窒化シリコン膜51の上部および周辺回路の酸化シリコン膜50の上部にCVD法で酸化シリコン膜52を堆積した後、フォトレジスト膜(図示せず)をマスクにしてメモリアレイの酸化シリコン膜52をドライエッティングし、続いてこの酸化シリコン膜52の下層の窒化シリコン膜51をドライエッティングすることにより、スルーホール54の上部に溝53を形成する。情報蓄積用容量素子Cの下部電極56は、この溝53の内壁に沿って形成されるので、下部電極56の表面積を大きくして蓄積電荷量を増やすためには、酸化シリコン膜52を厚い膜厚(例えば1.3μm程度)で堆積し、深い溝53を形成する必要がある。

【0069】次に、上記溝53の内部を含む酸化シリコン膜52の上部に、n型不純物(リン)をドープした膜厚50nm程度のアモルファスシリコン膜(図示せず)をCVD法で堆積した後、酸化シリコン膜52の上部のアモルファスシリコン膜をエッチバックして除去することにより、溝53の内壁に沿ってアモルファスシリコン膜を残す。続いて、溝53の内部に残った上記アモルファスシリコン膜の表面をフッ酸系のエッティング液で洗浄した後、減圧雰囲気中でアモルファスシリコン膜の表面にモノシラン(SiH₄)を供給し、続いて基板1を熱処理してアモルファスシリコン膜を多結晶化すると共に、その表面にシリコン粒を成長させる。これにより、表面が粗面化された多結晶シリコン膜で構成された下部電極56が溝53の内壁に沿って形成される。

【0070】次に、下部電極56の上部に酸化タンタル膜で構成された容量絶縁膜57およびTiN膜で構成さ

れた上部電極58を形成する。容量絶縁膜57および上部電極58を形成するには、まず溝53の内部を含む酸化シリコン膜52の上部にCVD法で膜厚20nm程度の酸化タンタル膜を堆積し、続いてこの酸化タンタル膜の上部にCVD法およびスパッタリング法で膜厚150nm程度のTiN膜を堆積した後、フォトレジスト膜(図示せず)をマスクにしてTiN膜および酸化タンタル膜をドライエッティングする。これにより、多結晶シリコン膜で構成された下部電極56、酸化タンタル膜で構成された容量絶縁膜57およびTiN膜で構成された上部電極58からなる情報蓄積用容量素子Cが形成される。また、ここまで工程により、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0071】その後、情報蓄積用容量素子Cの上部に2層程度のA1(アルミニウム)配線と配線を保護する表面保護膜とを形成するが、それらの図示は省略する。

【0072】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0073】前記実施の形態では、DRAMに適用した場合について説明したが、これに限定されるものではなく、素子分離溝を有する基板に微細なMISFETを形成する各種SLSIに広く適用することができる。

【0074】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0075】本発明によれば、活性領域の肩部におけるサブチャネルの形成を抑制することができるので、微細化されたMISFETのしきい値電圧の低下を抑制することができる。これにより、基板の不純物濃度を低くすることができるので、DRAMの場合は、リーク電流の低減によるリフレッシュ特性の向上を実現することができる。

【0076】また、本発明によれば、活性領域の肩部に丸みを付けることにより、活性領域の肩部における電界の集中およびゲート絶縁膜の薄膜化を防止することができるので、これらに起因するしきい値電圧の低下も抑制することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の製造工程の途中における基板の要部平面図である。

【図2】図1のA-A'線に沿った基板の断面図である。

【図3】図1のB-B'線に沿った基板の断面図である。

【図4】(a)は、活性領域およびその近傍の素子分離溝を拡大して示す図、(b)は、活性領域の肩部の近傍

を拡大して示す図である。

【図5】活性領域の肩部の近傍を拡大して示す図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図12】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図13】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図14】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図15】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図16】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図17】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図18】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図19】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図20】活性領域の肩部の近傍を拡大して示す図である。

【図21】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図22】活性領域の肩部の近傍を拡大して示す図である。

【図23】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図24】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図25】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図26】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図27】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図28】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

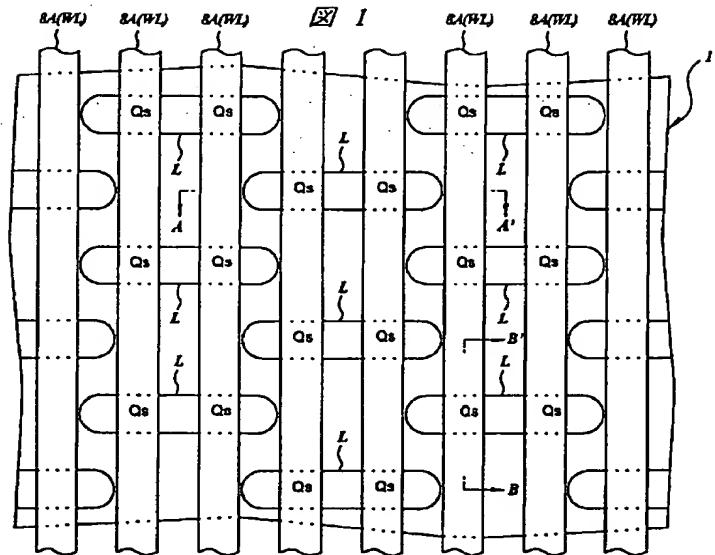
【図29】本発明の一実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図30】本発明者が検討した素子分離構造における活性領域の肩部近傍を拡大して示す図である。

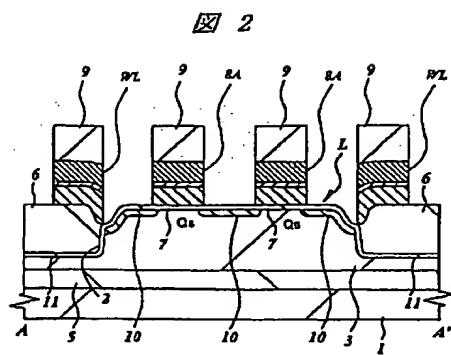
【符号の説明】

- 1 基板
- 2 素子分離溝
- 2a 溝
- 3 p型ウエル
- 4、5 n型ウエル
- 6 酸化シリコン膜（溝の内部）
- 7 ゲート酸化膜
- 8A、8B、8C ゲート電極
- 9 窒化シリコン膜
- 10 n型半導体領域（ソース、ドレイン）
- 11 酸化シリコン膜（溝の内壁）
- 12 p型半導体領域
- 13 n-型半導体領域
- 14 p-型半導体領域
- 15 n+型半導体領域（ソース、ドレイン）
- 16 p+型半導体領域（ソース、ドレイン）
- 17 窒化シリコン膜（SAC）
- 17c サイドウォールスペーサ
- 20 酸化シリコン膜
- 22、23 コンタクトホール
- 25 酸化シリコン膜
- 26 プラグ
- 30～34 第1層配線
- 35～39 コンタクトホール
- 40 酸化シリコン膜
- 41 窒化シリコン膜
- 42 酸化シリコン膜
- 43 酸化シリコン膜
- 50 酸化シリコン膜
- 51 窒化シリコン膜
- 52 酸化シリコン膜
- 53 溝
- 56 下部電極
- 57 容量絶縁膜
- 58 上部電極
- B L ピット線
- C 情報蓄積用容量素子
- L 活性領域
- P R 1、P R 2 フォトレジスト膜
- Q n nチャネル型M I S F E T
- Q p pチャネル型M I S F E T
- Q s メモリセル選択用M I S F E T
- W L ワード線

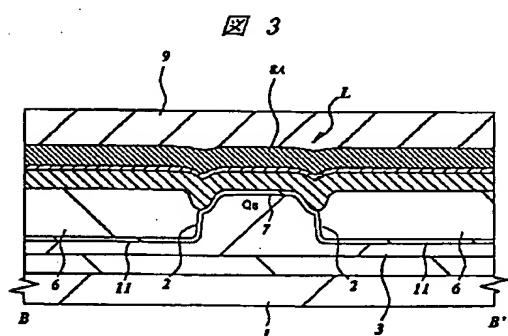
【図1】



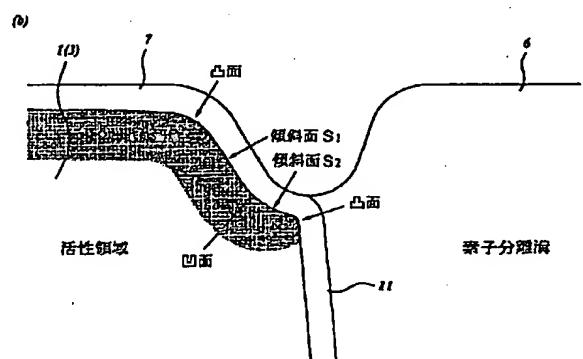
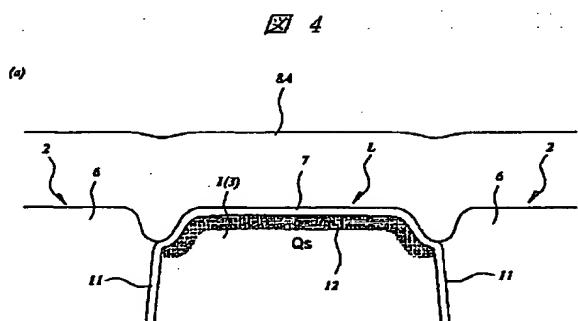
【図2】



【図3】

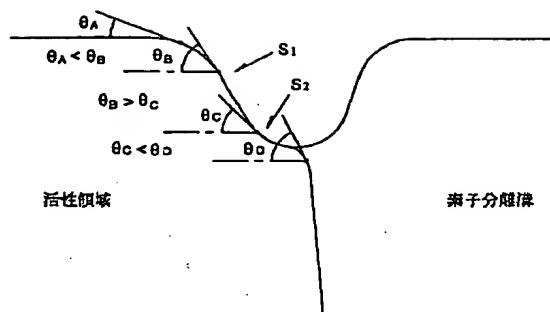


【図4】



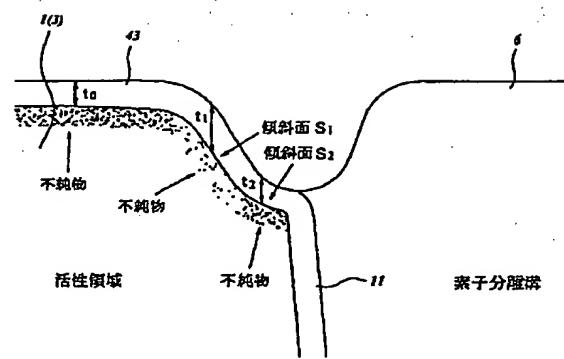
【図5】

図 5



【図20】

図 20

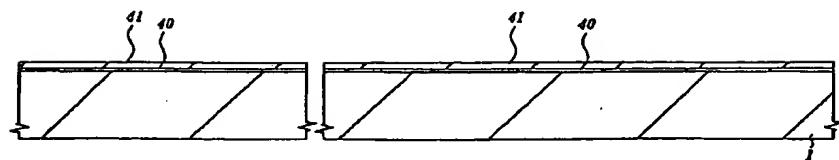


【図6】

図 6

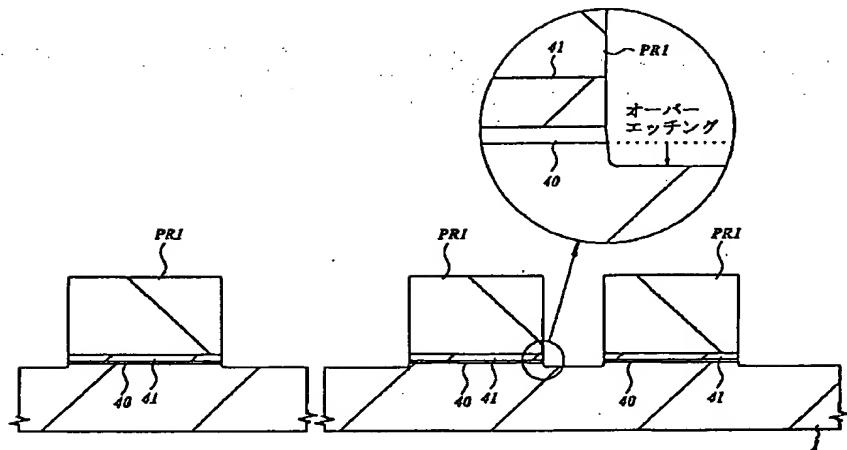
メモリアレイ

周辺回路



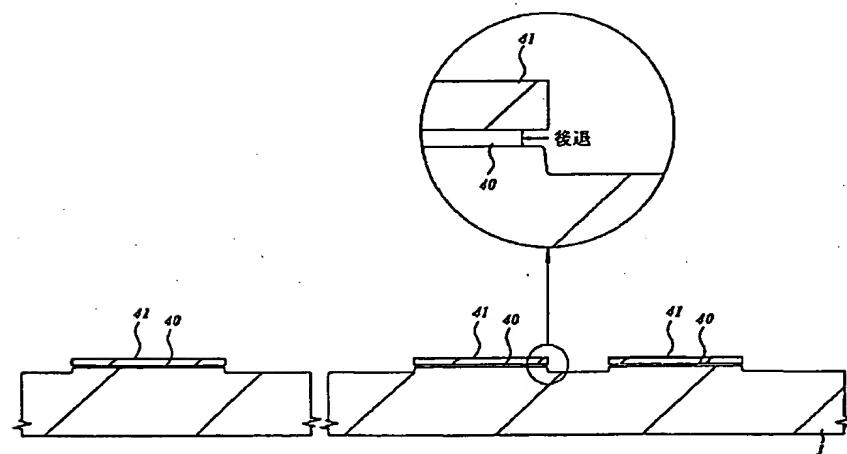
【図7】

図7



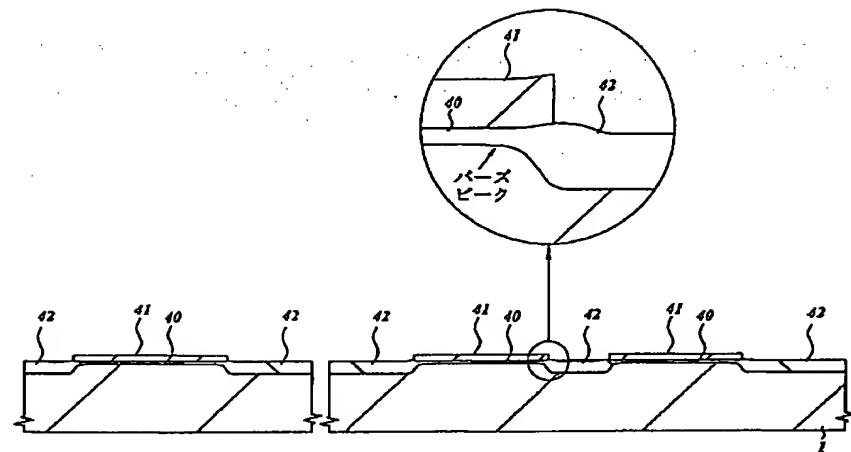
【図8】

図8



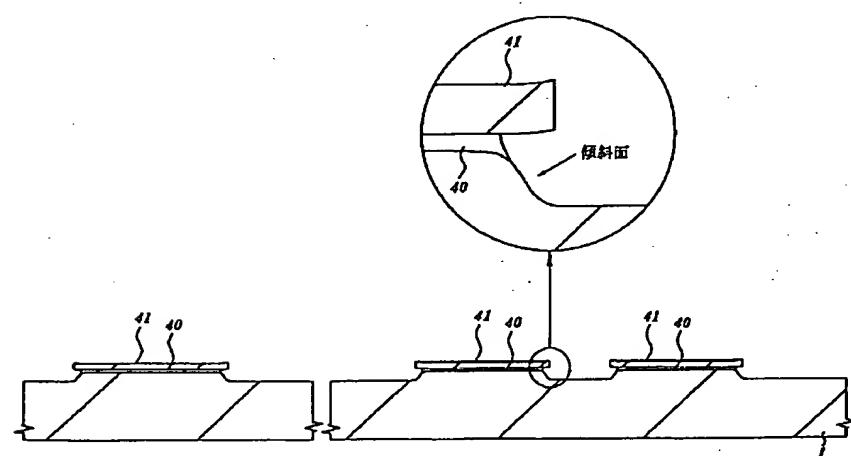
【図9】

図 9



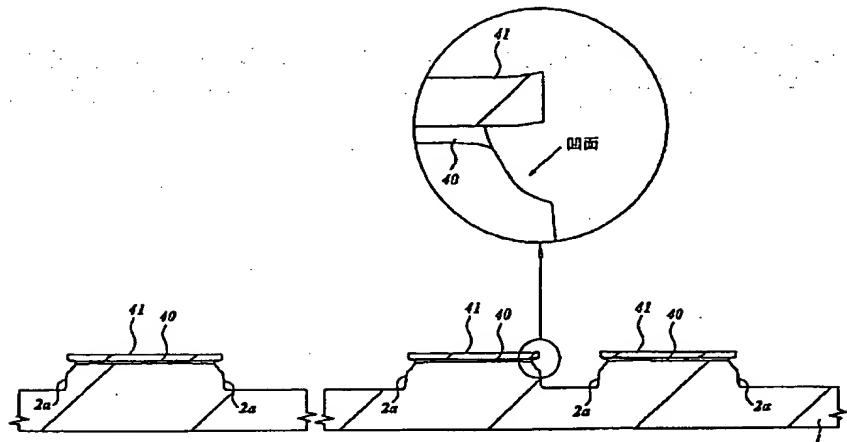
【図10】

図 10



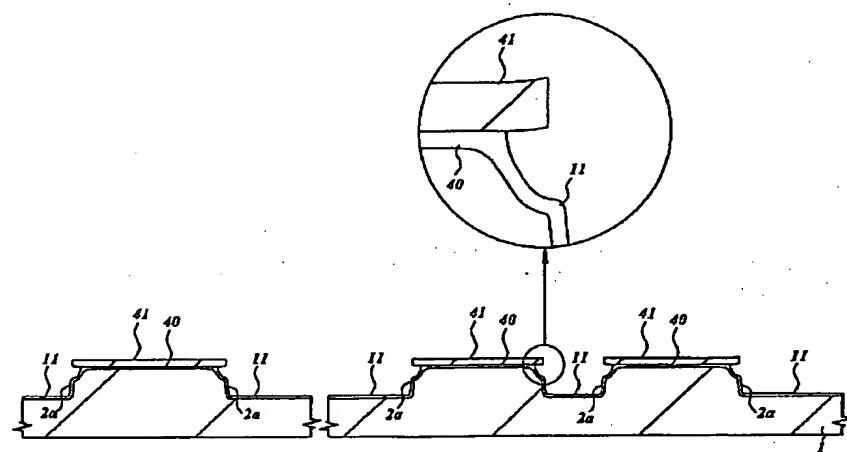
【図11】

FIG. 11



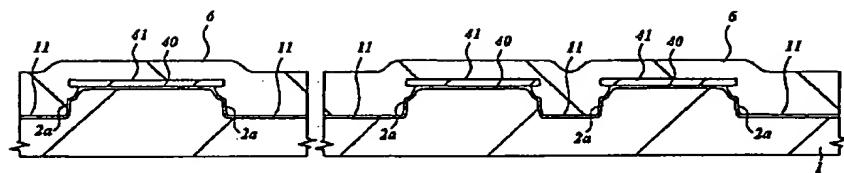
【図12】

FIG. 12



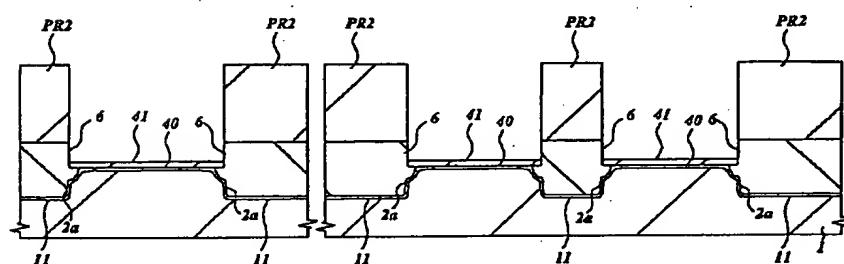
【図13】

FIG. 13



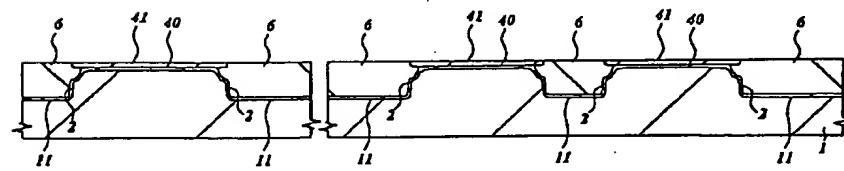
【図14】

FIG. 14



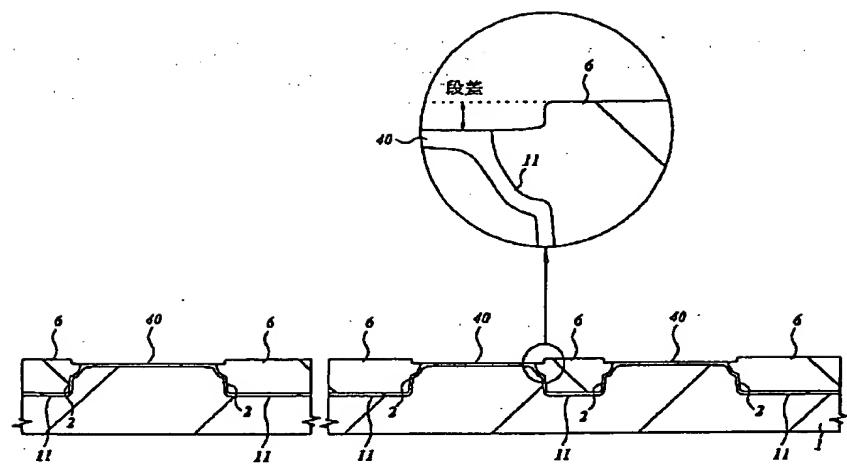
【図15】

FIG. 15



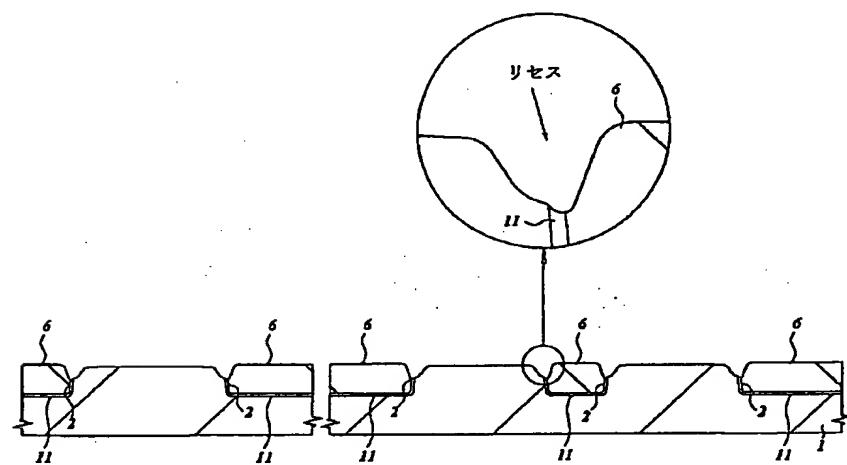
【図16】

FIG. 16



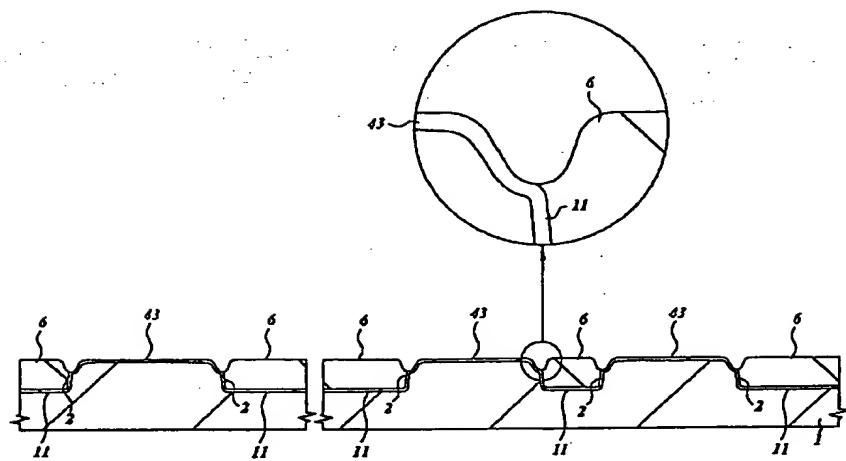
【図17】

FIG. 17



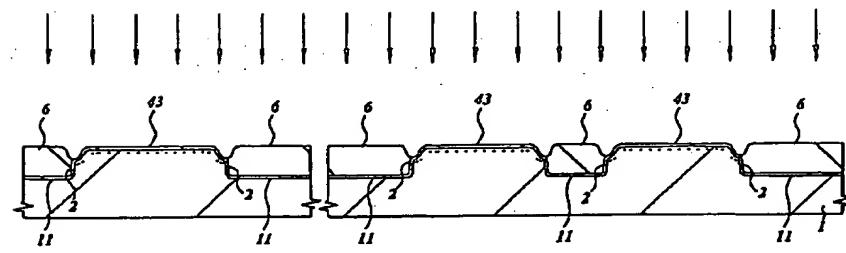
【图18】

FIG. 18.



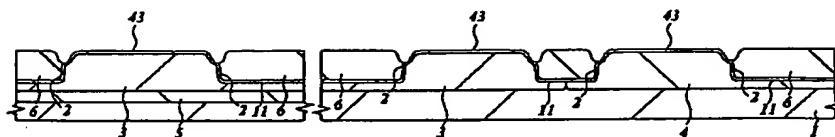
【图19】

FIG. 19



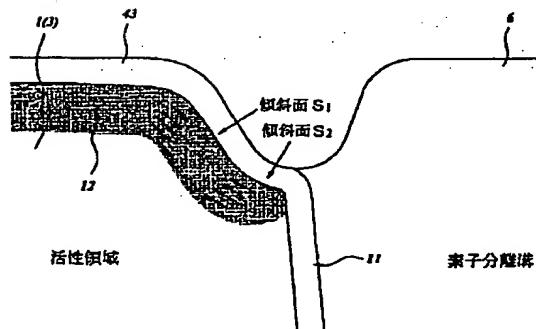
【图21】

 21



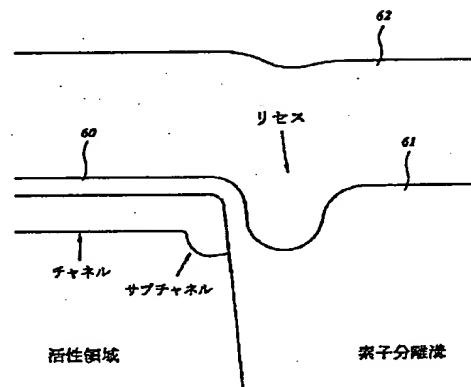
【图22】

图 22



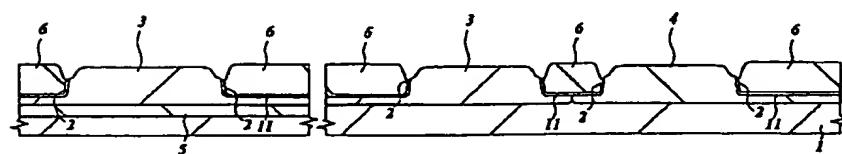
【図30】

30



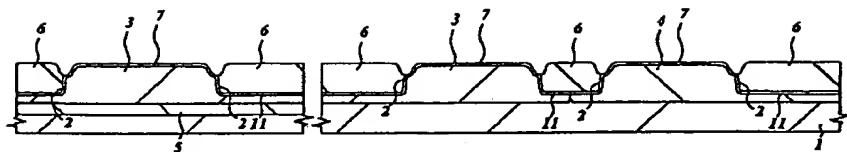
【图23】

23



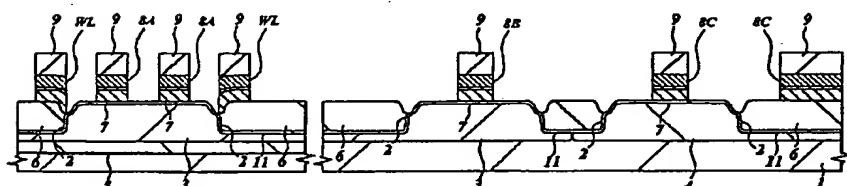
【図24】

FIG. 24



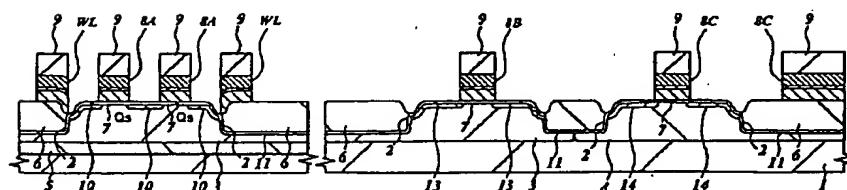
【図25】

FIG. 25



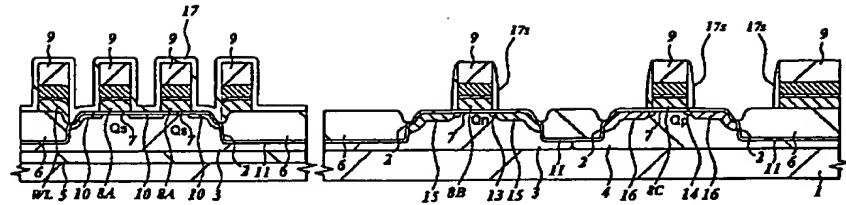
【図26】

FIG. 26



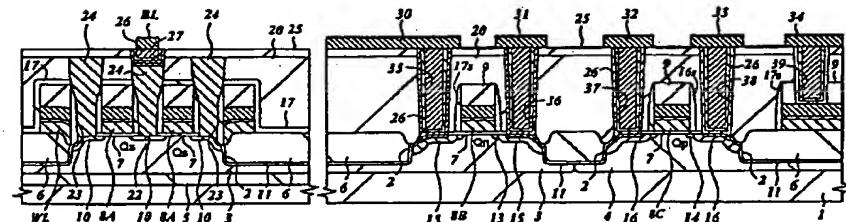
【図27】

図 27



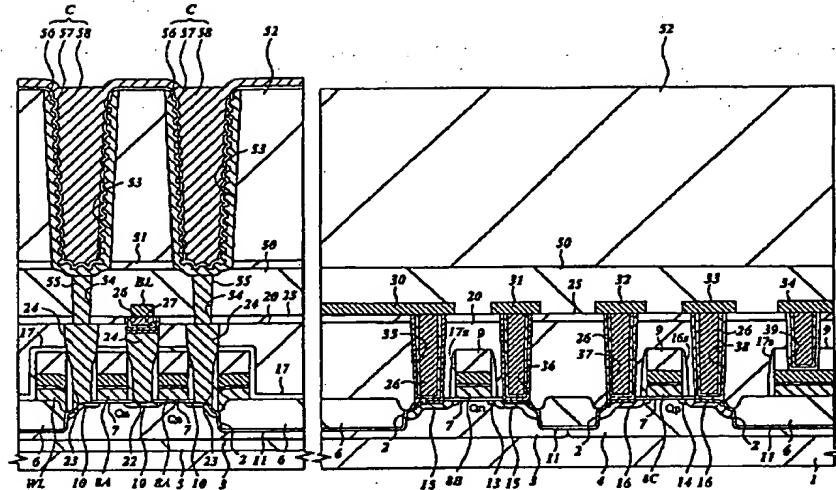
【図28】

図 28



〔图29〕

29



フロントページの続き

(72)発明者 鈴木 範夫
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72)発明者 石塚 典男
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

F ターム(参考) 5F032 AA16 AA35 AA44 AA69 AA77
AA84 BA01 BA06 CA03 CA14
CA17 DA23 DA27 DA33 DA53
5F048 AA01 AA07 AB01 AC10 BA01
BA19 BB05 BB08 BB13 BB16
BC06 BD04 BE03 BF06 BF07
BF15 BF16 BG14 BG15 DA25
5F083 AD10 AD26 AD49 GA06 JA06
JA33 JA40 JA53 MA06 MA16
MA18 NA01 NA06 NA08 PR03
PR29 PR40 ZA02 ZA03 ZA07